



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07297872 A**

(43) Date of publication of application: 10 . 11 . 95

(51) Int. Cl

H04L 27/22

H03L 7/087

H03L 7/22

(21) Application number: 06091394

(22) Date of filing: 28 . 04 . 94

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **SAKA HIROSHI**
URATA KAZUNAO
SOGA SHIGERU

(54) DEMODULATOR

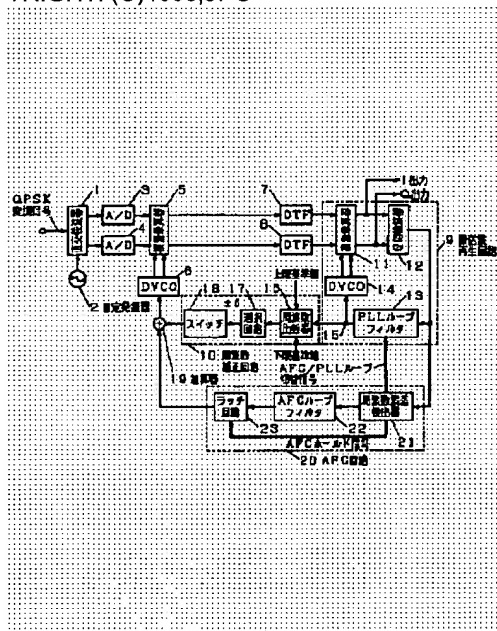
(57) Abstract:

PURPOSE: To prevent the deterioration in an error rate characteristic of the demodulator by compensating the deviation of a frequency of a digital modulation signal received by a waveform shape filter from an optimum input frequency.

CONSTITUTION: A frequency error detector 21 detects a frequency error between a QPSK modulation signal and a signal from a fixed frequency oscillator 2 based on a phase difference signal obtained by a phase detector 12, the frequency error is smoothed by an AFC loop filter 22 and the result is given to a DVCO 6 via an adder 19 to control the frequency from the DVCO 6 thereby compensating the frequency error. A frequency correction circuit 10 uses a frequency comparator 16 to check whether or not the operating frequency of the DVCO 14 exceeds an upper reference frequency or is less than a lower reference frequency based on the signal given to the DVCO 14. A selection circuit 17 provides the output of a frequency correction signal controlling the oscillated frequency of the DVCO 6 corresponding to the result of comparison, and then the frequency correction loop of the demodulator is operated so that the

frequency deviation in an input signal spectrum to DTFs 7, 8 does not exceed the upper limit reference frequency and is not less than the lower limit reference frequency.

COPYRIGHT: (C)1995,JPO



(11)特許出願公開番号

(43)公開日 平成7年(1995)11月10日

(74)代理人 弁理士 小鍛治 明 (外2名)

—709—

【特許請求の範囲】

【請求項1】入力変調信号をI、Qチャンネルの直交信号に復調する直交検波部と、該直交検波部に入力される局部発振器と、前記I、Qチャンネルの直交信号をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号を第1のデジタルVCOと複素乗算する第1の複素乗算部と、該第1の複素乗算部の出力信号を波形整形する低域通過型の波形整形フィルタと、該波形整形フィルタの出力信号に再生搬送波を複素乗算する第2の複素乗算部と、該第2の複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑して第2のデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記入力変調信号の周波数と前記VCOの局発周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して前記第1のデジタルVCOの発振周波数を制御する周波数制御手段と、前記第2のデジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記第1のデジタルVCOの発振周波数を補正して、前記第2のデジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記第1の複素乗算部と前記第2の複素乗算部との間に前記波形整形フィルタを配置したことを特徴とする復調装置。

【請求項2】入力変調信号をI、Qチャンネルの直交信号に復調する直交検波部と、該直交検波部に入力されるVCOと、前記I、Qチャンネルの直交信号をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号を第1のデジタルVCOと複素乗算する第1の複素乗算部と、該第1の複素乗算部の出力信号を波形整形する低域通過型の波形整形フィルタと、該波形整形フィルタの出力信号に再生搬送波を複素乗算する第2の複素乗算部と、該第2の複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑して第2のデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記入力変調信号の周波数と前記VCOの局発周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して前記VCOの発振周波数を制御する周波数制御手段と、前記第2のデジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記第1のデジタルVCOの発振周波数を補正して、前記第2のデジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記第1の複素乗算部と前記第2の複素乗算部との間に前記波形整形フィルタを配置したことを特徴とする復調装置。

【請求項3】入力変調信号をI、Qチャンネルの直交信

号に復調する直交検波部と、該直交検波部に入力されるVCOと、前記I、Qチャンネルの直交信号をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号に再生搬送波を複素乗算する複素乗算部と、該複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑してデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記入力変調信号の周波数と前記VCOの局発周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して前記VCOの発振周波数を制御する周波数制御手段と、前記デジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記VCOの発振周波数を補正して、前記デジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記直交検波部と前記複素乗算部との間に、前記I、Qチャンネルの直交信号を波形整形する低域通過型の波形整形フィルタを配置したことを特徴とする復調装置。

【請求項4】入力変調信号を周波数変換して、IF信号に変換する周波数変換部と、該周波数変換部に入力されるVCOと、前記IF信号をI、Qチャンネルの直交信号に復調する直交検波部と、該直交検波部に入力される局部発振器と、前記I、Qチャンネルの直交信号をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号に再生搬送波を複素乗算する複素乗算部と、該複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑してデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記IF信号の周波数と前記局部発振器の発振周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して前記VCOの発振周波数を制御する周波数制御手段と、前記デジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記VCOの発振周波数を補正して、前記デジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記直交検波部と前記複素乗算部との間に、前記I、Qチャンネルの直交信号を波形整形する低域通過型の波形整形フィルタを配置したことを特徴とする復調装置。

【請求項5】入力変調信号を周波数変換して、IF信号に変換する周波数変換部と、該周波数変換部に入力されるVCOと、該周波数変換部により周波数変換された前記IF信号を波形整形する帯域通過型の波形整形フィルタと、前記IF信号をI、Qチャンネルの直交信号に復調する直交検波部と、該直交検波部に入力され、発振周波数が前記波形整形フィルタの中心周波数に等しく設定された局部発振器と、前記I、Qチャンネルの直交信号

3

をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号に再生搬送波を複素乗算する複素乗算部と、該複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑してデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記IF信号の周波数と前記局部発振器の発振周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して前記VCOの発振周波数を制御する周波数制御手段と、前記デジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記VCOの発振周波数を補正して、前記デジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記周波数変換部と前記直交検波部との間に前記帯域通過型の波形整形フィルタを配置したことを特徴とする復調装置。

【請求項6】入力変調信号を周波数変換して、IF信号に変換する周波数変換部と、該周波数変換部に入力されるVCOと、該周波数変換部により周波数変換された前記IF信号を波形整形する帯域通過型の波形整形フィルタと、前記IF信号をデジタル信号に変換するA/D変換部と、該A/D変換部によりデジタル値に変換されたIF信号をデジタル・ベースバンド信号に変換するデジタル周波数変換部と、前記デジタル・ベースバンド信号をI、Qチャンネルの直交信号に分離する分離手段と、前記I、Qチャンネルの直交信号に再生搬送波を複素乗算する複素乗算部と、該複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑してデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記IF信号の周波数と前記デジタル周波数変換部の局発振周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して前記VCOの発振周波数を制御する周波数制御手段と、前記デジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記VCOの発振周波数を補正して、前記デジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記周波数変換部と前記デジタル周波数変換部との間に前記波形整形フィルタを配置したことを特徴とする復調装置。

【請求項7】入力変調信号を周波数変換して、IF信号に変換する周波数変換部と、該周波数変換部に入力されるVCOと、前記IF信号をI、Qチャンネルの直交信号に復調する直交検波部と、該直交検波部に入力される局部発振器と、前記I、Qチャンネルの直交信号をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号を第1のデジタルVCOと複素乗算する第1の複素乗算部と、該第1の複素

4

乗算部の出力信号を波形整形する低域通過型の波形整形フィルタと、該波形整形フィルタの出力信号に再生搬送波を複素乗算する第2の複素乗算部と、該第2の複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑して第2のデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記IF信号の周波数と前記局部発振器の発振周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑してVCOの発振周波数を制御する周波数制御手段と、前記第2のデジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記第1のデジタルVCOの発振周波数を補正して、前記第2のデジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記第1の複素乗算部と前記第2の複素乗算部との間に前記波形整形フィルタを配置したことを特徴とする復調装置。

【請求項8】入力変調信号を周波数変換して、IF信号に変換する周波数変換部と、該周波数変換部に入力される第1のVCOと、前記IF信号をI、Qチャンネルの直交信号に復調する直交検波部と、該直交検波部に入力される第2のVCOと、前記I、Qチャンネルの直交信号をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号に再生搬送波を複素乗算する第2の複素乗算部と、該第2の複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑してデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記IF信号の周波数と前記第2のVCOの発振周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して第1のVCOの発振周波数を制御する周波数制御手段と、前記デジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記第2のVCOの発振周波数を補正して、前記デジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記直交検波部と前記複素乗算部との間に前記波形整形フィルタを配置したことを特徴とする復調装置。

【請求項9】周波数補正手段による第1のデジタルVCOあるいはVCOの発振周波数の補正は、復調装置が同期状態にある期間のみ行なわれるようにしたことを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7のいずれかに記載の復調装置。

【請求項10】周波数補正手段による第2のVCOの発振周波数の補正は、復調装置が同期状態にある期間のみ行なわれるようにしたことを特徴とする請求項8記載の復調装置。

【請求項11】復調装置が非同期状態にあるときは第1のデジタルVCOあるいはVCOの発振周波数を掃引するようにしたことを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7のいずれかに記載の復調装置。

【請求項12】復調装置が非同期状態にあるときは第1のVCOの発振周波数を掃引するようにしたことを特徴とする請求項8記載の復調装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は受信機における復調装置に関するものであり、特にデジタル変調信号の復調装置に関するものである。

【0002】

【従来の技術】最近、衛星放送でデジタル放送が検討されている。デジタル放送ではデジタル変調が使用される。このデジタル変調信号の同期検波方式による復調装置では、搬送波再生をPLL回路で実現し、更にはAFC機能をもたせる方法がよく用いられている。

【0003】図17はデジタル信号処理による搬送波再生回路およびAFC回路を実現した従来の復調装置を示す（特開平5-41717号公報）。直交検波器1に入力されたQPSK変調信号は、固定発振器2により直交するI、Qベースバンド信号に変換される。直交するI、Qベースバンド信号は、A/D変換器3、4によりデジタル値のI、Qベースバンド信号に変換される。デジタル化されたI、Qベースバンド信号は、周波数変換機能を有する複素乗算器5によりデジタルVCO6（以下、DVCOと略記）の動作周波数だけ周波数変換を受け、デジタルトランスバースフィルタ7、8（以下、DTFと略記）により波形整形され、搬送波再生回路9に入力される。

【0004】搬送波再生回路9は、複素乗算器11、位相検波器12、PLLループフィルタ13およびDVCO14が閉ループを構成したものである。搬送波再生回路9は、複素乗算器11に入力されたI、Qベースバンド信号から再生搬送波を発生させる機能を有するものであり、搬送波再生回路9において位相同期がとれると再生I、Q出力信号が出力される。

【0005】ここで、搬送波再生回路9の動作を説明する。位相回転機能を有する複素乗算器11に入力されたI、Qベースバンド信号は、DVCO14により位相回転を受けて出力され、位相検波器12に入力される。位相検波器12では入力信号と基準位相との位相差が検出される。この位相差信号はPLLループフィルタ13で平滑化されDVCO14に入力される。DVCO14は複素乗算器11に入力されるI、Qベースバンド信号に位相同期した再生搬送波を出力するので、複素乗算器11の出力信号はQPSK変調信号のデータ判定点に対応した再生I、Q出力信号となる。

【0006】AFC回路20は、周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、QPSK変調信号の中心周波数と固定発振器2の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23を介して制御信号としてDVCO6に入力される。DVCO6の動作周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、DVCO6の発振周波数を制御するデータがラッチ回路23で保持され、DVCO6は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I、Q出力信号が出力される。

【0007】

【発明が解決しようとする課題】ところで、衛星放送ではBSコンバータの局部発振器には誘電体共振器が用いられているために、局部発振器の周波数は基準周波数から離調していることが多く、その離調周波数も数MHzに達することもある。しかも、局部発振器の発振周波数については基準周波数からの平均的な周波数離調に加えて、電源投入時の周波数ドリフトや環境温度の変化による周波数ドリフトも存在し、その周波数ドリフトも無視できない。

【0008】以上述べた従来の復調装置では、最初はAFC回路20を動作させ、周波数誤差が基準誤差以下に低減されるとDVCO6の発振周波数制御データを保持したままAFC回路20の動作を停止し、PLLループに切替えるようになっている。つまり、AFC動作とPLL動作とは切替えて実行させるようになっており、AFC回路20を動作させている期間は搬送波再生回路9のPLLループは切れた状態になっている。

【0009】従って、復調装置の動作がAFC動作からPLL動作に切替えられてから、QPSK変調信号と固定発振器2との周波数誤差が拡大するようになると、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムが中心（ゼロ周波数）に対してずれるようになり、この周波数ずれが大きくなるに従って復調装置の誤り率特性の劣化が大きくなる。

【0010】本発明はかかる点に鑑みてなされたもので、上記従来例のもつ欠点を除去し、搬送波再生確立後に生じるQPSK変調信号の周波数ずれに伴うI、Qベースバンド信号スペクトラムの周波数ずれを補償し、復調装置の誤り率特性の劣化を防止することを目的とす

る。

【0011】

【課題を解決するための手段】この目的を達成するために、本発明の復調装置では、入力変調信号をI、Qチャンネルの直交信号に復調する直交検波部と、該直交検波部に入力される局部発振器と、前記I、Qチャンネルの直交信号をデジタル信号に変換するA/D変換部と、該A/D変換部により変換されたデジタル信号を第1のデジタルVCOと複素乗算する第1の複素乗算部と、該第1の複素乗算部の出力信号を波形整形する低域通過型の波形整形フィルタと、該波形整形フィルタの出力信号に再生搬送波を複素乗算する第2の複素乗算部と、該第2の複素乗算部の出力信号を位相検波して、位相情報を得る位相検波部と、前記位相情報を平滑して前記第2のデジタルVCOに供給し、前記再生搬送波を得るためのPLL手段と、前記位相情報を基に、前記入力変調信号の周波数と前記局部発振器の局発周波数との周波数誤差情報を検出する周波数誤差検出部と、該周波数誤差情報を平滑して第1のデジタルVCOの発振周波数を制御する周波数制御手段と、前記第2のデジタルVCOの発振周波数が正または負の基準値を越えているかどうかを判定し、基準値を越えている場合には前記第1のデジタルVCOの発振周波数を補正して、前記第2のデジタルVCOの発振周波数が前記基準値の範囲内に収まるように制御する周波数補正手段を備え、前記第1の複素乗算部と前記第2の複素乗算部との間に前記波形整形フィルタを配置して構成される。

【0012】

【作用】入力変調信号は直交検波器によりI、Qベースバンド信号に変換され、A/D変換器によりデジタル値に変換されてから周波数変換機能を有する第1の複素乗算器に入力される。第1の複素乗算器には局部発振機能を有する第1のデジタルVCOが接続されている。この第1のデジタルVCOの周波数だけ周波数変換されたI、Qベースバンド信号は波形整形フィルタにより波形整形されて、位相回転機能を有する第2の複素乗算器に入力される。第2の複素乗算器の出力信号は位相検波器に入力され、入力信号と基準位相との位相差が検出される。この位相差を基に入力変調信号と局部発振器との周波数誤差を検出し、さらに平滑化して第1のデジタルVCOの周波数制御信号を得る。自動周波数制御手段により入力変調信号と局部発振器との周波数誤差が第1のデジタルVCOにより補償されて、検出周波数誤差が基準誤差以下に低減されると、第1のデジタルVCOの周波数は一定値に固定される。と同時に、再生搬送波を得るPLL回路が動作を開始し、位相検波器により検出された位相差信号を平滑化し、第2のデジタルVCOの制御信号として入力され、第2の複素乗算器に入力されるI、Qベースバンド信号に位相同期した再生搬送波が第2のデジタルVCOから出力されるように

なる。そして、第2の複素乗算器の出力信号は入力変調信号のデータ判定点に対応した再生I、Q出力信号となる。ここで、第1のデジタルVCOの周波数制御により入力変調信号と局部発振器との周波数誤差が補償され、PLL回路に切替えられた後、入力変調信号あるいは局部発振器の周波数ドリフトにより周波数誤差が拡大するようなことが生ずれば、この周波数ドリフトに追従するように第2のデジタルVCOの動作周波数も同時に変化してPLL動作が維持される。ここで第2のデジタルVCOの動作周波数が正または負の基準値を越えているかどうかを比較し、正または負の基準値を越えている場合には周波数補正信号を出力して、第1のデジタルVCOの発振周波数を補正する。

【0013】このように、第1のデジタルVCOの周波数が自動周波数制御手段により一定値に固定された後に、入力変調信号の局部発振器との周波数誤差が拡大するような周波数ドリフトが発生しても、第2のデジタルVCOの発振周波数が基準値を越えているときには第1のデジタルVCOの発振周波数を補正して、波形整形フィルタに入力されるI、Qベースバンド信号のスペクトラムが正または負の基準値以上にずれないように周波数補正手段が動作し、I、Qベースバンド信号の周波数ずれによる波形整形フィルタでの復調特性の劣化が抑制される。

【0014】

【実施例】図1は本発明による第1の実施例の復調装置である。直交検波器1に入力されたQPSK変調信号は固定発振器2により直交するI、Qベースバンド信号に変換される。直交するアナログ値のI、Qベースバンド信号はA/D変換器3、4によりデジタル値のI、Qベースバンド信号に変換される。デジタル化されたI、Qベースバンド信号は、周波数変換機能を有する複素乗算器5に入力される。この複素乗算器5には局部発振機能を有するDVCO6が接続されている。DVCO6の動作周波数だけ周波数変換を受けたI、Qベースバンド信号は、DTF7、8により波形整形されて搬送波再生回路9に入力される。

【0015】搬送波再生回路9は、複素乗算器11、位相検波器12、PLLループフィルタ13およびDVCO14が閉ループを構成したものである。搬送波再生回路9は複素乗算器11に入力されたI、Qベースバンド信号から再生搬送波を発生させる機能を有するものであり、搬送波再生回路9において位相同期が確立されると再生I、Q出力信号が出力される。

【0016】ここで、搬送波再生回路9の動作を説明する。位相回転機能を有する複素乗算器11に入力されたI、Qベースバンド信号はDVCO14により位相回転を受けて出力され、位相検波器12に入力される。位相検波器12では入力信号と基準位相との位相差が検出される。この位相差信号はPLLループフィルタ13で平

滑化され、DVCO14の制御信号としてDVCO14の周波数制御端子15に入力される。DVCO14は、複素乗算器11に入力されるI、Qベースバンド信号に位相同期した再生搬送波を出力するので、複素乗算器11の出力信号はQPSK変調信号のデータ判定点に対応した再生I、Q出力信号となる。

【0017】AFC回路20は、周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、QPSK変調信号の中心周波数と固定発振器2の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23および加算器19を介してDVCO6の制御信号としてDVCO6に入力される。DVCO6の動作周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、DVCO6の発振周波数を制御するデータがラッチ回路23で保持され、DVCO6は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I、Q出力信号が出力される。

【0018】周波数補正回路10は、周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの、比較的安定した発振周波数で動作している。周波数比較器16では、DVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数（正および負の周波数がある）が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では選択信号に対応して、DVCO6の周波数を一定値（ $+\delta$ ）だけ上昇させる信号、あるいは一定値（ $-\delta$ ）だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号はスイッチ18を介して加算器19に入力され、DVCO6の発振周波数を補正する。スイッチ18は搬送波再生回路9が同期状態にあるときにのみON状態に設定される。

【0019】周波数補正信号によりDVCO6の周波数が変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、

DVCO6の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにDVCO6の周波数変化を滑らかにする必要がある。そのためにDVCO6の周波数変化（ $\pm\delta$ ）を小さくしたり、周波数補正信号が加算器19に入力される頻度をスイッチ18により制限している。

【0020】このように、周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはDVCO6の発振周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはDVCO6の発振周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後に、固定発振器2とQPSK変調信号の周波数離調が変化しても、DTF7、8の入力信号スペクトラムの周波数ずれが、周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにDVCO6の発振周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、DTF7、8の入力信号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0021】上記第1の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、QPSK変調信号と固定発振器2の離調周波数が大きく変化することが発生しても、搬送波再生回路9の同期状態を常時維持しながらDVCO6の周波数を補正することにより、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムのずれを上限あるいは下限の基準値以下に防止できる。従って、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムのずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができる。しかも、DVCO6の周波数補正は搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、DVCO6の周波数補正による誤り率の劣化を抑制できる。更に、DVCO6の周波数補正は基本的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもDVCO6の周波数補正に際して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0022】図2は本発明による第2の実施例の復調装置である。図2の実施例の説明では図1と同じ機能を有するものについては同の符号を付して説明する。直交検波器1に入力されたQPSK変調信号は、電圧制御発振器25（以下、VCOと略記）により直交するI、Qベースバンド信号に変換される。直交するアナログ値のI、Qベースバンド信号は、A/D変換器3、4によりデジタル値のI、Qベースバンド信号に変換される。デジタル化されたI、Qベースバンド信号は、周波数

変換機能を有する複素乗算器5に入力される。この複素乗算器5には局部発振機能を有するDVCO6が接続されている。DVCO6の動作周波数だけ周波数変換を受けたI、Qベースバンド信号は、DTF7、8により波形整形されて搬送波再生回路9に入力される。

【0023】搬送波再生回路9の構成および機能は第1の実施例(図1)と全く同じなので、ここでの説明は省略する。

【0024】AFC回路20は、周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、QPSK変調信号の中心周波数とVCO25の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23を介してD/A変換器24に送られてアナログ信号に変換されてからVCO25の制御信号としてVCO25に入力される。VCO25の発振周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、VCO25の発振周波数を制御するデータがラッチ回路23で保持され、VCO25は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作を開始し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I、Q出力信号が出力される。

【0025】周波数補正回路10は周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの比較的安定した発振周波数で動作している。周波数比較器16では、DVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数(正および負の周波数がある)が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では、選択信号に対応して、DVCO6の周波数を一定値(+ δ)だけ上昇させる信号、あるいは一定値(- δ)だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号は、スイッチ18を介してDVCO6の動作周波数を補正する。スイッチ18は搬送波再生回路9が同期状態にあるときにのみON状態に設定される。

【0026】周波数補正信号によりDVCO6の動作周

波数に変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、DVCO6の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにDVCO6の周波数変化を滑らかにする必要がある。そのためにDVCO6の周波数変化($\pm\delta$)を小さくしたり、周波数補正信号がDVCO6に入力される頻度をスイッチ18により制限している。

【0027】このように、周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはDVCO6の動作周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはDVCO6の動作周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後に、VCO25とQPSK変調信号の周波数離調が変化しても、DTF7、8の入力信号スペクトラムの周波数ずれが周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにDVCO6の動作周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、DTF7、8の入力信号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0028】上記第2の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、QPSK変調信号とVCO25の離調周波数が大きく変化することが発生しても、搬送波再生回路9の同期状態を常時維持しながらDVCO6の周波数を補正することにより、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれを上限あるいは下限の基準値以下に防止できる。従って、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれによる誤り率の劣化を、この基準値に対応した所定値以下に抑制することができる。しかも、DVCO6の周波数補正は搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、DVCO6の周波数補正による誤り率の劣化を抑制できる。更に、DVCO6の周波数補正は基本的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもDVCO6の周波数補正に対して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0029】図3は本発明による第3の実施例の復調装置である。図3の実施例の説明では図1および図2と同じ機能を有するものについては同一に符号を付して説明する。直交検波器1に入力されたQPSK変調信号は、VCO25により直交するI、Qベースバンド信号に変換される。直交するアナログ値のI、Qベースバンド信

13

号はA/D変換器3、4によりデジタル値のI、Qベースバンド信号に変換される。デジタル化されたI、Qベースバンド信号は、DTF7、8により波形整形され、搬送波再生回路9に入力される。

【0030】搬送波再生回路9の構成および機能は第1の実施例(図1)あるいは第2の実施例(図2)と全く同じなので、ここでの説明は省略する。

【0031】AFC回路20は、周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、QPSK変調信号の中心周波数とVCO25の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23および加算器19を介してD/A変換器24に送られてアナログ信号に変換されてから、VCO25の制御信号としてVCO25に入力される。VCO25の発振周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、VCO25の発振周波数を制御するデータがラッチ回路23で保持され、VCO25は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作を開始し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに、位相同期が確立され、再生I、Q出力信号が出力される。

【0032】周波数補正回路10は、周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの、比較的安定した発振周波数で動作している。周波数比較器16では、DVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数(正および負の周波数がある)が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では、選択信号に対応して、VCO25の周波数を一定値(+ δ)だけ上昇させる信号、あるいは一定値(- δ)だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号はスイッチ18を介して加算器19に入力され、D/A変換器24によりアナログ値に変換されてVCO25の発振周波数を補正する。スイッチ18は、搬送波再生回路9が同期状態にあるときにのみON状態に設定される。

14

【0033】周波数補正信号によりVCO25の発振周波数が変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、VCO25の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにVCO25の周波数変化を滑らかにする必要がある。そのためにVCO25の周波数変化($\pm\delta$)を小さくしたり、周波数補正信号が加算器19に入力される頻度をスイッチ18により制限している。

【0034】このように、周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはVCO25の発振周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはVCO25の発振周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後にVCO25とQPSK変調信号の周波数離調が変化しても、DTF7、8の入力信号スペクトラムの周波数ずれが周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにVCO25の発振周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、DTF7、8の入力信号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0035】上記第3の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、QPSK変調信号とVCO25の離調周波数が大きく変化することが発生しても、搬送波再生回路9の同期状態を常時維持しながらVCO25の周波数を補正することにより、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれを上限あるいは下限の基準値以下に防止できる。従って、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができる。しかも、VCO25の周波数補正は搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、VCO25の周波数補正による誤り率の劣化を抑制できる。更に、VCO25の周波数補正は本来的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもVCO25の周波数補正に対して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0036】図4は本発明による第4の実施例の復調装置である。図3の実施例では波形整形フィルタはDTF7、8で構成されているため、A/D変換器3、4の後にDTF7、8を配置しているが、図4の実施例では波形整形フィルタはアナログ低域通過フィルタ47、48

(以下、アナログLPFと略記)で構成されているため、アナログLPF 47、48の後にA/D変換器3、4が配置されている点が図3と異なる点であり、それ以外の構成は全く同一である。従って、図4は図3と同じ機能と同じ効果を有する。

【0037】図5は本発明による第5の実施例の復調装置である。図5の実施例の説明では図1、図3と同じ機能を有するものについては同一の符号を付して説明する。QPSK変調信号は、周波数変換器51とVCO25によりIF信号に周波数変換され、帯域通過フィルタ52(以下、BPFと略記)を介して直交検波器1に入力される。直交検波器1は固定発振器2によりIF信号を直交するI、Qベースバンド信号に変換する。そして、A/D変換器3、4によりアナログ値のI、Qベースバンド信号はデジタル値のI、Qベースバンド信号に変換される。デジタル化されたI、Qベースバンド信号はDTF7、8により波形整形されて搬送波再生回路9へと導かれる。

【0038】搬送波再生回路9の構成および機能は図1および図3と全く同じなので、ここでの説明は省略する。

【0039】AFC回路20は、周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、IF信号の中心周波数と固定発振器2の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23および加算器19を介してD/A変換器24に送られて、アナログ信号に変換されてからVCO25の制御信号としてVCO25に入力される。VCO25の発振周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、VCO25の発振周波数を制御するデータがラッチ回路23で保持され、VCO25は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作を開始し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I、Q出力信号が出力される。

【0040】周波数補正回路10は、周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの、比較的安定した発振周波数で動作している。周波数比較器16ではDVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数(正および負の周波数

がある)が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では選択信号に対応して、VCO25の周波数を一定値(+ δ)だけ上昇させる信号、あるいは一定値(- δ)だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号はスイッチ18を介して加算器19に入力され、D/A変換器24によりアナログ値に変換されてVCO25の発振周波数を補正する。スイッチ18は搬送波再生回路9が同期状態にあるときのみON状態に設定される。

【0041】周波数補正信号によりVCO25の発振周波数が変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、VCO25の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにVCO25の周波数変化を滑らかにする必要がある。そのためにVCO25の周波数変化($\pm\delta$)を小さくしたり、周波数補正信号が加算器19に入力される頻度をスイッチ18により制限している。

【0042】このように、周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはVCO25の発振周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはVCO25の発振周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後にQPSK変調信号の周波数ドリフトなどにより、IF信号と固定発振器2の周波数離調が変化しても、DTF7、8の入力信号スペクトラムの周波数ずれが周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにVCO25の発振周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、DTF7、8の入力信号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0043】上記第5の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、IF信号と固定発振器2の離調周波数が大きく変化するようなことが発生しても、搬送波再生回路9の同期状態を常時維持しながらVCO25の周波数を補正することにより、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれを上限あるいは下限の基準値以下に防止できる。従って、DTF7、8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができる。しかも、VCO25の周波数補正は

搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、VCO25の周波数補正による誤り率の劣化を抑制できる。更に、VCO25の周波数補正は基本的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもVCO25の周波数補正に対して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0044】図6は本発明による第6の実施例の復調装置である。図5の実施例では波形整形フィルタはDTF7、8で構成されているため、A/D変換器3、4の後にDTF7、8を配置しているが、図6の実施例では波形整形フィルタはアナログLPF67、68で構成されているため、アナログLPF67、68の後にA/D変換器3、4が配置されている点が図5と異なる点であり、それ以外の構成は全く同一である。従って、図6は図5と同じ機能と同じ効果を有する。

【0045】図7は本発明による第7の実施例の復調装置である。図7の実施例の説明では図5と同じ機能を有するものについては同一の符号を付して説明する。QPSK変調信号は、周波数変換器51とVCO25によりIF信号に周波数変換され、波形整形機能を有するBPF72を介して直交検波器1に入力される。直交検波器1は、発振周波数がBPF72の中心周波数に等しい固定発振器2により、IF信号を直交するI、Qベースバンド信号に変換する。そして、A/D変換器3、4によりアナログ値のI、Qベースバンド信号はデジタル値のI、Qベースバンド信号に変換される。デジタル化されたI、Qベースバンド信号は搬送波再生回路9へと導かれる。

【0046】搬送波再生回路9の構成および機能は図5と全く同じなのでここでの説明は省略する。

【0047】AFC回路20は、周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、IF信号の中心周波数と固定発振器2の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23および加算器19を介してD/A変換器24に送られてアナログ信号に変換されてからVCO25の制御信号としてVCO25に入力される。VCO25の発振周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、VCO25の発振周波数を制御するデータがラッチ回路23で保持され、VCO25は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PL

Lループ切替信号が供給され、PLLループフィルタ13が動作を開始し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I、Q出力信号が出力される。

【0048】周波数補正回路10は、周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの、比較的安定した発振周波数で動作している。周波数比較器16ではDVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数（正および負の周波数がある）が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では、選択信号に対応して、VCO25の周波数を一定値（ $+\delta$ ）だけ上昇させる信号、あるいは一定値（ $-\delta$ ）だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号はスイッチ18を介して加算器19に入力され、D/A変換器24によりアナログ値に変換されてVCO25の発振周波数を補正する。スイッチ18は搬送波再生回路9が同期状態にあるときのみON状態に設定される。

【0049】周波数補正信号によりVCO25の発振周波数が変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、VCO25の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにVCO25の周波数変化を滑らかにする必要がある。そのためにVCO25の周波数変化（ $\pm\delta$ ）を小さくしたり、周波数補正信号が加算器19に入力される頻度をスイッチ18により制限している。

【0050】このように、周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはVCO25の発振周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはVCO25の発振周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後にQPSK変調信号の周波数ドリフトなどにより、IF信号とBPF72の中心周波数に等しい発振周波数を有する固定発振器2の周波数離調が変化しても、BPF72の入力信号であるIF信号のスペクトラムの周波数ずれが周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにVCO25の発振周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、BPF72の入力信

号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0051】上記第7の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、IF信号と固定発振器2の離調周波数が大きく変化することが発生しても、搬送波再生回路9の同期状態を常時維持しながらVCO25の周波数を補正することにより、BPF72に入力されるIF信号のスペクトラムの周波数ずれを上限あるいは下限の基準値以下に防止できる。従って、BPF72に入力されるIF信号のスペクトラムの周波数ずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができる。しかも、VCO25の周波数補正は搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、VCO25の周波数補正による誤り率の劣化を抑制できる。更に、VCO25の周波数補正は基本的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC*

$$f_c = (2n+1) f_s / 4 \quad (n=0, 1, 2, \dots) \quad \dots (1)$$

の関係となるように選ばれる。

【0054】搬送波再生回路9の構成および機能は図7と全く同じなので、ここでの説明は省略する。

【0055】AFC回路20は周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、IF信号の中心周波数と式(1)で示されるデジタル周波数変換器81の実質的な局部発振器の周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23および加算器19を介してD/A変換器24に送られてアナログ信号に変換されてからVCO25の制御信号としてVCO25に入力される。VCO25の発振周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、VCO25の発振周波数を制御するデータがラッチ回路23で保持され、VCO25は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作を開始し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I、Q出力信号が出力される。

【0056】周波数補正回路10は、周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの比較的安定した発振周波数で動作している。周波数比較器16で

* /N比が低い状態でもVCO25の周波数補正に対して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0052】図8は本発明による第8の実施例の復調装置である。図8の実施例の説明では図7と同じ機能を有するものについては同一の符号を付して説明する。QPSK変調信号は周波数変換器51とVCO25によりIF信号に周波数変換され、波形整形フィルタであるBPF72を介してA/D変換器83に入力される。A/D変換器83により、アナログ値のIF信号はデジタル値のIF信号に変換され、デジタル周波数変換器81によりデジタル・ベースバンド信号に変換される。そして、デジタル・ベースバンド信号はI/Q分離回路84により直交するI、Qベースバンド信号に分離される。分離されたI、Qベースバンド信号は搬送波再生回路9へと導かれる。

【0053】ここで、BPF72の中心周波数 f_c とA/D変換器83のサンプリング周波数 f_s とは、

$$f_c = (2n+1) f_s / 4 \quad (n=0, 1, 2, \dots) \quad \dots (1)$$

はDVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数(正および負の周波数がある)が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では選択信号に対応して、VCO25の周波数を一定値(+ δ)だけ上昇させる信号、あるいは一定値(- δ)だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号はスイッチ18を介して加算器19に入力され、D/A変換器24によりアナログ値に変換されてVCO25の発振周波数を補正する。スイッチ18は搬送波再生回路9が同期状態にあるときにのみON状態に設定される。

【0057】周波数補正信号によりVCO25の発振周波数が変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、VCO25の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにVCO25の周波数変化を滑らかにする必要がある。そのためにVCO25の周波数変化($\pm\delta$)を小さくしたり、周波数補正信号が加算器19に入力される頻度をスイッチ18により制限している。

【0058】このように周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはVCO25の発振周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはVCO25

の発振周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後にQPSK変調信号の周波数ドリフトなどにより、IF信号の中心周波数がBPF72の中心周波数に対して離調するように変化しても、BPF72の入力信号であるIF信号のスペクトラムの周波数ずれが周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにVCO25の発振周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、BPF72の入力信号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0059】上記第8の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、IF信号とBPF72の離調周波数が大きく変化することが発生しても、搬送波再生回路9の同期状態を常時維持しながらVCO25の周波数を補正することにより、BPF72に入力されるIF信号のスペクトラムの周波数ずれを上限あるいは下限の基準値以下に防止できる。従って、BPF72に入力されるIF信号のスペクトラムの周波数ずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができる。しかも、VCO25の周波数補正は搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、VCO25の周波数補正による誤り率の劣化を抑制できる。更に、VCO25の周波数補正は基本的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもVCO25の周波数補正に対して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0060】図9は本発明による第9の実施例の復調装置である。図9の実施例の説明では図1および図5と同じ機能を有するものについては同一の符号を付して説明する。QPSK変調信号は周波数変換器51とVCO25によりIF信号に周波数変換され、BPF52を介して直交検波器1に入力される。直交検波器1は固定発振器2によりIF信号を直交するI、Qベースバンド信号に変換する。そして、A/D変換器3、4によりアナログ値のI、Qベースバンド信号はデジタル値のI、Qベースバンド信号に変換される。デジタル化されたI、Qベースバンド信号は、周波数変換機能を有する複素乗算器5に入力される。この複素乗算器5には局部発振機能を有するDVCO6が接続されている。DVCO6の動作周波数だけ周波数変換を受けたI、Qベースバンド信号は、DTF7、8により波形整形され、搬送波再生回路9に入力される。

【0061】搬送波再生回路9の構成および機能は図1と全く同じなので、ここでの説明は省略する。

【0062】AFC回路20は、周波数誤差検出器2

1、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、IF信号の中心周波数と固定発振器2の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23を介してD/A変換器24に送られて、アナログ信号に変換されてからVCO25の制御信号としてVCO25に入力される。VCO25の発振周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、VCO25の発振周波数を制御するデータがラッチ回路23で保持され、VCO25は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作を開始し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I、Q出力信号が出力される。

【0063】周波数補正回路10は、周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの比較的安定した発振周波数で動作している。周波数比較器16ではDVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数（正および負の周波数がある）が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では選択信号に対応して、DVCO6の周波数を一定値（+ δ ）だけ上昇させる信号、あるいは一定値（- δ ）だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号はスイッチ18を介してDVCO6に入力されて、DVCO6の動作周波数を補正する。スイッチ18は搬送波再生回路9が同期状態にあるときにのみON状態に設定される。

【0064】周波数補正信号によりDVCO6の周波数が変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、DVCO6の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにDVCO6の周波数変化を滑らかにする必要がある。そのためにDVCO6の周波数変化（ $\pm\delta$ ）を小さくしたり、周波数補正信号がDVCO6に入力される頻度をスイッチ18により制限している。

【0065】このように、周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはDVCO6の動作周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはDVCO6の動作周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後にQPSK変調信号の周波数ドリフトなどにより、IF信号の中心周波数が固定発振器2の発振周波数に対して離調するように変化しても、DTF7, 8の入力信号スペクトラムの周波数ずれが周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにDVCO6の動作周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、DTF7, 8の入力信号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0066】上記第9の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、IF信号と固定発振器2の離調周波数が大きく変化することが発生しても、搬送波再生回路9の同期状態を常時維持しながらDVCO6の周波数を補正することにより、DTF7, 8に入力されるI, Qベースバンド信号のスペクトラムの周波数ずれを上限あるいは下限の基準値以下に防止できる。従って、DTF7, 8に入力されるI, Qベースバンド信号のスペクトラムの周波数ずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができる。しかも、DVCO6の周波数補正は搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、DVCO6の周波数補正による誤り率の劣化を抑制できる。更に、DVCO6の周波数補正は基本的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもDVCO6の周波数補正に対して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0067】図10は本発明による第10の実施例の復調装置である。図10の実施例の説明では図9と同じ機能を有するものについては同一の符号を付して説明する。QPSK変調信号は、周波数変換器51とVCO25によりIF信号に周波数変換され、BPF52を介して直交検波器1に入力される。直交検波器1はVCO25-1によりIF信号を直交するI, Qベースバンド信号に変換する。そして、A/D変換器3, 4によりアナログ値のI, Qベースバンド信号はデジタル値のI, Qベースバンド信号に変換される。デジタル化されたI, Qベースバンド信号は、DTF7, 8により波形整形され、搬送波再生回路9に入力される。

【0068】搬送波再生回路9の構成および機能は図9と全く同じなので、ここでの説明は省略する。

【0069】AFC回路20は、周波数誤差検出器21、AFCループフィルタ22およびラッチ回路23から構成される。周波数誤差検出器21では位相検波器12で得られた位相差信号から、IF信号の中心周波数と固定発振器2の発振周波数との周波数誤差が検出される。この周波数誤差はAFCループフィルタ22で平滑化され、ラッチ回路23を介してD/A変換器24に送られてアナログ信号に変換されてからVCO25の制御信号としてVCO25に入力される。VCO25の発振周波数が制御されて周波数誤差が補償され、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からラッチ回路23に対してAFCホールド信号が供給され、VCO25の発振周波数を制御するデータがラッチ回路23で保持され、VCO25は一定の発振周波数で動作する。一方、検出される周波数誤差が基準誤差以下になれば、周波数誤差検出器21からPLLループフィルタ13に対してAFC/PLLループ切替信号が供給され、PLLループフィルタ13が動作を開始し、搬送波再生回路9ではAFC回路20で取り除かれなかった周波数誤差を引き込むとともに位相同期が確立され、再生I, Q出力信号が出力される。

【0070】周波数補正回路10は、周波数比較器16、選択回路17およびスイッチ18から構成されている。搬送波再生回路9の位相同期がとれた状態では、DVCO14には位相雑音が重畳しているものの比較的安定した発振周波数で動作している。周波数比較器16ではDVCO14の周波数制御端子15に入力される信号からDVCO14の動作周波数（正および負の周波数がある）が正の上限基準値および負の下限基準値を越えているかどうかと比較され、正の上限基準値を越えている場合、負の下限基準値を越えている場合および上限基準値と下限基準値の範囲内に収まっている場合、のそれぞれに対応して選択信号が選択回路17に送られる。選択回路17では選択信号に対応して、VCO25-1の周波数を一定値（+ δ ）だけ上昇させる信号、あるいは一定値（- δ ）だけ降下させる信号、あるいはそのままの周波数を維持させる信号、つまり周波数補正信号を出力する。この周波数補正信号はスイッチ18を介してD/A変換器24-1に入力されてアナログ値に変換されて、VCO25-1の動作周波数を補正する。スイッチ18は搬送波再生回路9が同期状態にあるときにのみON状態に設定される。

【0071】周波数補正信号によりVCO25-1の周波数が変化してから、この周波数変化に対して搬送波再生回路9のPLLループが応答して、搬送波再生回路9の追従動作が安定化するには多少の時間がかかる。従って、VCO25-1の急激で大幅な周波数変化に対して搬送波再生回路9の同期が外れたり、外れそうにならないようにVCO25-1の周波数変化を滑らかにする必要がある。そのためにVCO25-1の周波数変化（±

δ)を小さくしたり、周波数補正信号がVCO25-1に入力される頻度をスイッチ18により制限している。

【0072】このように、周波数補正回路10は、DVCO14の発振周波数が上限基準値を越えているときにはVCO25-1の動作周波数を上昇させ、DVCO14の発振周波数が下限基準値を越えているときにはVCO25-1の動作周波数を降下させるように周波数補正信号を出力する。従って、AFC回路20の停止後にQPSK変調信号の周波数ドリフトなどにより、IF信号の中心周波数がVCO25-1の周波数に対して離調するように変化しても、DTF7,8の入力信号スペクトラムの周波数ずれが周波数比較器16の上限基準値と下限基準値で決まる範囲を越えないようにVCO25-1の動作周波数が補正され、DVCO14の発振周波数は上限基準値および下限基準値を越えないように制御される。つまり、DTF7,8の入力信号スペクトラムの周波数ずれは上限基準値および下限基準値を越えないように復調装置の周波数補正ループが動作する。

【0073】上記第10の実施例では、AFC回路20の動作がAFCホールド信号で停止された後、IF信号とVCO25-1の離調周波数が大きく変化することが発生しても、搬送波再生回路9の同期状態を常時維持しながらVCO25-1の周波数を補正することにより、DTF7,8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれを上限あるいは下限の基準値以下に防止できる。従って、DTF7,8に入力されるI、Qベースバンド信号のスペクトラムの周波数ずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができる。しかも、VCO25-1の周波数補正は搬送波再生回路9が同期状態にあり、かつ、搬送波再生回路9での位相同期が外れないようにゆっくりと行われるので、VCO25-1の周波数補正による誤り率の劣化を抑制できる。更に、VCO25-1の周波数補正は基本的には搬送波再生回路9のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもVCO25-1の周波数補正に対して搬送波再生回路9のジッタの影響を排除でき、周波数補正回路10の動作による復調特性の劣化を招くことはない。

【0074】図11は本発明による第11の実施例の復調装置である。図10の実施例では波形整形フィルタはDTF7,8で構成されているため、A/D変換器3,4の後にDTF7,8を配置しているが、図11の実施例では波形整形フィルタはアナログLPF117,118で構成されているため、アナログLPF117,118の後にA/D変換器3,4が配置されている点が図10と異なる点であり、それ以外の構成は全く同一である。従って、図11は図10と同じ機能と同じ効果を有する。

【0075】図12は、図1から図11までに示したD

VCO6,14の具体例である。オーバーフローおよびアンダーフローを禁止しない加算器121、ラッチ回路122、および正弦/余弦関数値を記憶したROM123から構成される。周波数制御端子に入力された信号は、1クロック遅延された加算器出力信号とともに加算器121により加算され、ROM123に入力される。ここでROM123の入力信号は余弦波信号（以下、COS信号と略記）、正弦波信号（以下、SIN信号と略記）の入力位相の0度から360度に対応する。従って、DVCO6,14の入力信号、すなわち加算器121の入力信号の大きさはCOS信号、SIN信号の入力位相の変化量、すなわちDVCO6,14の発振周波数に対応する。DVCO6,14の周波数制御端子に入力される信号からDVCO6,14の発振周波数を知ることができる。

【0076】図13、図14および図15は本発明による別の実施例であり、復調装置が非同期状態にあると判定されたときに掃引信号発生器131を駆動させて、VCO25やDVCO6の周波数を強制的に掃引するようにしたものである。このような構成にすることにより、復調装置の起動開始時に離調周波数の大きいQPSK変調信号が復調装置に入力されても、この離調周波数を打ち消すようにVCO25やDVCO6の発振周波数を掃引し、直交検波器1や周波数変換器51に入力されるQPSK変調信号やIF信号の離調周波数がAFC回路20の引き込み周波数範囲内に収まるようにVCO25やDVCO6の発振周波数を制御することが可能となり、離調周波数の大きいQPSK変調信号が復調装置に入力されようことが発生しても復調装置を正常に機能させることができる。

【0077】図16は同期信号の検出方法を示す具体例である。復調装置から出力されたI、Qチャンネル判定データは誤り訂正回路161で復号され復号データが得られるが、この復号データを誤り率検出器162内の再符号器で復号データを符号化し、判定データとこの符号化データを比較すれば、誤り率が検出される。この誤り率情報を基準値と比較し、基準値より誤り率が小さければ復調装置は同期状態にあると判断し、同期信号を出力する。

【0078】以上説明した各実施例では、QPSK変調信号をデジタル変調信号として説明しているが、必ずしもデジタル変調信号はQPSK変調信号である必要はなく、オフセットQPSK変調信号、8相PSK変調信号、MSK変調信号、QAM変調信号などの直交するI、Qベースバンド信号成分を有するデジタル変調信号で、同期検波方式により復調できるデジタル変調信号であればよいことは言うまでもない。

【0079】

【発明の効果】以上のように、本発明の復調装置によれば次の効果が発揮される。

(1) AFC回路の動作がAFCホールド信号で停止された後、QPSK変調信号の中心周波数が固定発振器の周波数と離調し、この離調周波数が大きく変化することゝなことが発生しても、搬送波再生回路の同期状態を常時維持しながらDVCOの周波数を制御することにより、DTFに入力されるI、Qベースバンド信号のスペクトラムの周波数ずれを周波数比較器の上限あるいは下限基準値以下に防止できる。従って、DTFに入力されるI、Qベースバンド信号のスペクトラムのずれによる誤り率の劣化をこの基準値に対応した所定値以下に抑制することができ

(2) しかも、DVCOの周波数制御は搬送波再生回路が同期状態にあり、かつ、搬送波再生回路での位相同期が外れないようにゆっくりと行われるので、DVCOの周波数制御による誤り率の劣化を抑制できる。

(3) 更に、DVCOの周波数制御は基本的には搬送波再生回路のPLLループ動作と独立して行われるので、QPSK変調信号のC/N比が低い状態でもDVCOの周波数制御に搬送波再生回路のジッタの影響を排除でき、周波数補正回路の動作による復調特性の劣化を招くことはな

(4) 更に、掃引信号発生器のある実施例においては、離調周波数の大きいQPSK変調信号が入力されるようなことが発生しても復調装置を正常に機能させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による復調装置のブロック図

【図2】本発明の第2の実施例による復調装置のブロック図

【図3】本発明の第3の実施例による復調装置のブロック図

【図4】本発明の第4の実施例による復調装置のブロック図

【図5】本発明の第5の実施例による復調装置のブロック図

【図6】本発明の第6の実施例による復調装置のブロック図

【図7】本発明の第7の実施例による復調装置のブロック図

【図8】本発明の第8の実施例による復調装置のブロック図

【図9】本発明の第9の実施例による復調装置のブロック図

【図10】本発明の第10の実施例による復調装置のブロック図

【図11】本発明の第11の実施例による復調装置のブロック図

【図12】本発明の第1から第11の実施例におけるデジタルVCOの具体例を示すブロック図

【図13】本発明の第1の実施例において、デジタルVCOに掃引信号発生器を接続した場合の構成例を示すブロック図

【図14】本発明の第2、第9、第10および第11の実施例において、VCOに掃引信号発生器を接続した場合の構成例を示すブロック図

【図15】本発明の第3、第4、第5、第6、第7および第8の実施例において、VCOに掃引信号発生器を接続した場合の構成例を示すブロック図

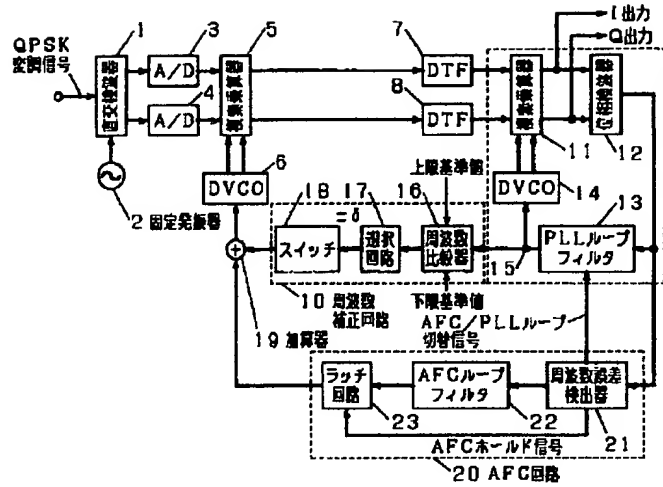
【図16】本発明の各実施例における同期信号の発生手段を示すブロック図

【図17】従来の実施例による復調装置のブロック図

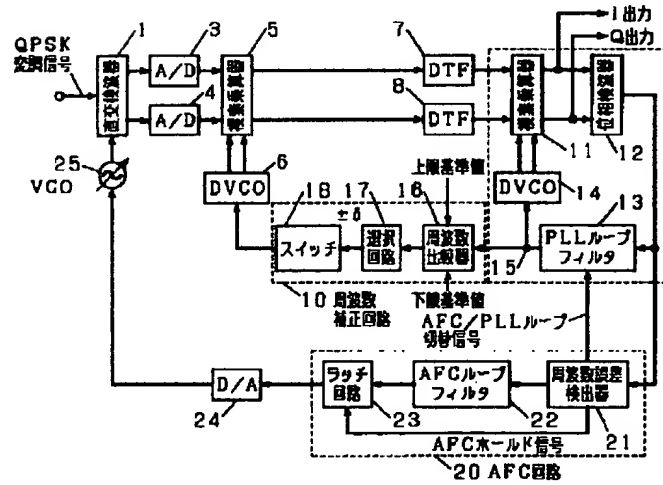
【符号の説明】

- 1 直交検波器
- 2 固定発振器
- 3、4、83 A/D変換器
- 5、11 複素乗算器
- 6、14 デジタルVCO
- 7、8 デジタルトランスバースフィルタ
- 9 搬送波再生回路
- 10 周波数補正回路
- 12 位相検波器
- 13 PLLループフィルタ
- 15 周波数制御端子
- 16 周波数比較器
- 17 選択回路
- 18 スイッチ
- 19、121、132 加算器
- 20 AFC回路
- 21 周波数誤差検出器
- 22 AFCループフィルタ
- 23 ラッチ回路
- 24、24-1 D/A変換器
- 25、25-1 電圧制御発振器
- 47、48、67、68、117、118 低域通過フィルタ
- 51 周波数変換器
- 52、72 帯域通過フィルタ
- 81 デジタル周波数変換器
- 84 I/Q分離回路
- 122 ラッチ回路
- 123 ROM
- 131 掃引信号発生器
- 161 誤り訂正回路
- 162 誤り率検出器
- 163 同期検出器

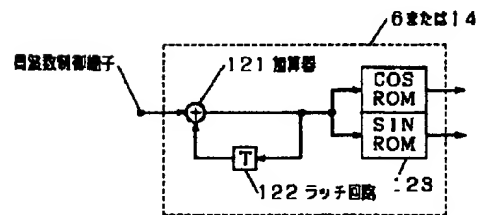
【図1】



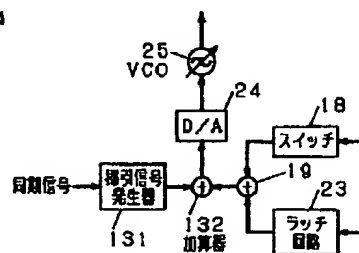
【図2】



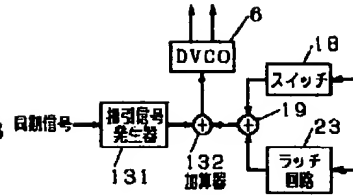
【図12】



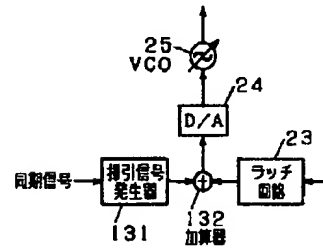
【図15】



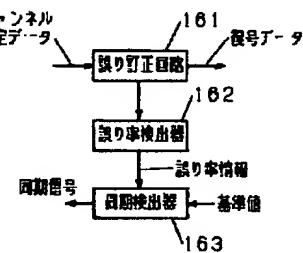
【図13】



【図14】



【図16】



[illegible]

QPSK 変調信号

25 VCO

51 周波数変換器

1F信号

52 BPF

2 固定発振器

67 1 68

LPF

3 4

A/D

出力

Q出力

9 搬送波再生回路

18 17 16

±δ

スイッチ

10 周波数補正回路

11 15

14 PLLループフィルタ

13 PLLループ

12 周波数検出器

20 AFC回路

23 ラッチ回路

22 AFCループフィルタ

21 周波数誤差検出器

19 加算器

24 D/A

20 AFC回路

23 ラッチ回路

22 AFCループフィルタ

21 周波数誤差検出器

19 加算器

24 D/A

10 周波数補正回路

11 15

14 PLLループフィルタ

13 PLLループ

12 周波数検出器

9 搬送波再生回路

8 周波数補正回路

7 周波数補正回路

6 周波数補正回路

5 周波数補正回路

4 周波数補正回路

3 周波数補正回路

2 周波数補正回路

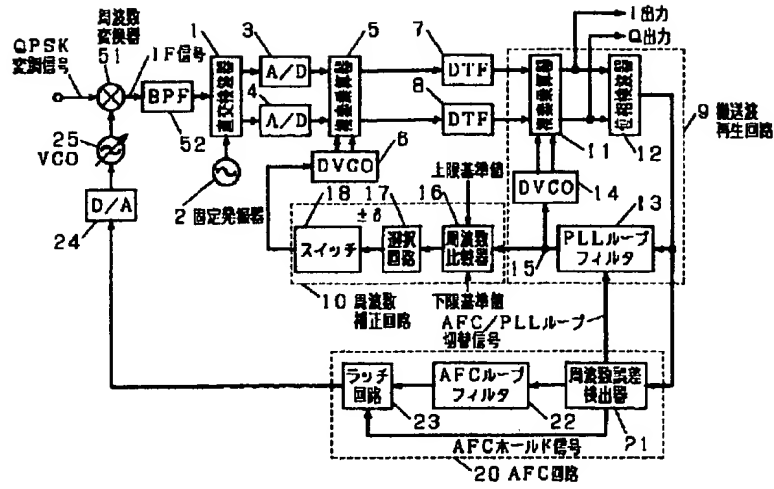
1 周波数補正回路

[illegible]

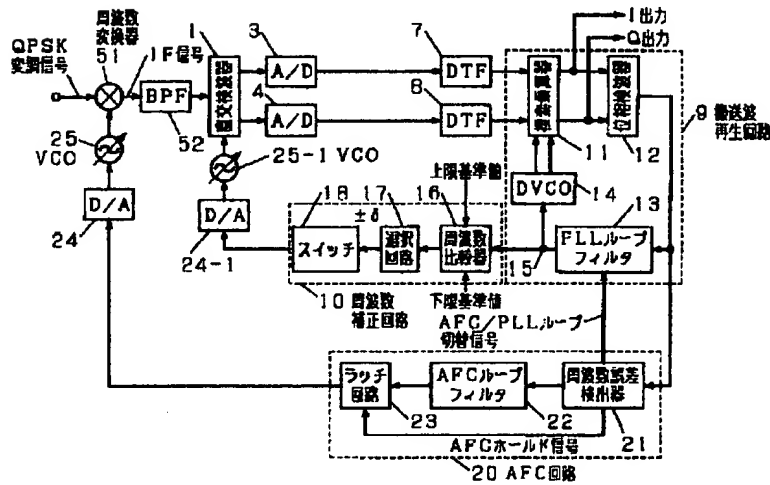
The diagram illustrates a PLL-based frequency synthesizer with QPSK modulation and an AFC feedback loop. The main components and their interconnections are as follows:

- QPSK Modulation Section:** A QPSK modulation signal (QPSK 変調信号) is input to a multiplier (51). A VCO (25) provides a reference signal to the multiplier (51) and is also connected to a D/A converter (24). The output of the multiplier (51) is an IF signal (IF信号) that passes through a BPF (Roll-off) (72) and an A/D converter (83).
- Frequency Synthesis Section:** The A/D converter (83) outputs a digital signal to a digital frequency divider (ディジタル 周波数分倍器) (81). The divider (81) outputs a signal to a divider-by-2 (÷2) block (84). The divider-by-2 block (84) outputs a signal to a frequency divider (11) and a frequency divider (12). The frequency divider (11) outputs an I output (I出力) and a Q output (Q出力). The frequency divider (12) outputs a signal to a PLL loop filter (13).
- PLL and Frequency Control Section:** A DVCO (14) provides a signal to the PLL loop filter (13). The PLL loop filter (13) outputs a signal to a PLL loop filter (5). The PLL loop filter (5) outputs a signal to a PLL loop filter (13). The PLL loop filter (13) outputs a signal to a PLL loop filter (5).
- AFC Feedback Section:** The PLL loop filter (5) outputs a signal to a PLL loop filter (13). The PLL loop filter (13) outputs a signal to a PLL loop filter (5). The PLL loop filter (5) outputs a signal to a PLL loop filter (13). The PLL loop filter (13) outputs a signal to a PLL loop filter (5).
- Frequency Division and Output Section:** The PLL loop filter (5) outputs a signal to a PLL loop filter (13). The PLL loop filter (13) outputs a signal to a PLL loop filter (5). The PLL loop filter (5) outputs a signal to a PLL loop filter (13). The PLL loop filter (13) outputs a signal to a PLL loop filter (5).

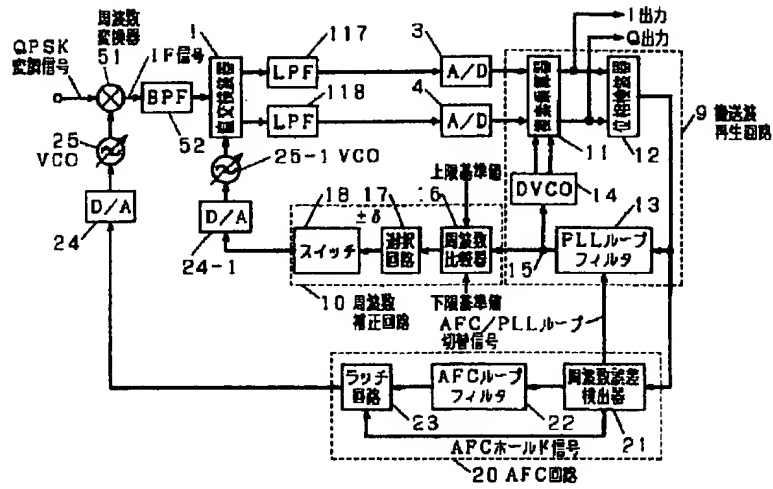
【図9】



【図10】



【圖 1 1】



【図 17】

